

# 基于二维电势分布的一种新型复合多晶硅栅 LDMOS 阈值电压模型

代月花,高珊,柯导明,陈军宁

(安徽大学电子科学与技术学院,安徽合肥 230039)

**摘要:** 本文提出了一种新型的复合多晶硅栅 LDMOS 结构. 该结构引入栅工程的概念, 将 LDMOS 的栅分为 n 型多晶硅栅和 p 型多晶硅栅两部分, 从而提高器件电流驱动能力, 抑制 SCEs (short channel effects) 和 DIBL (drain-induced barrier lowering). 通过求解二维泊松方程建立了复合多晶硅栅 LDMOS 的二维阈值电压解析模型. 模型考虑了 LDMOS 沟道杂质浓度分布和复合栅功函数差的共同影响, 具有较高的精度. 与 MEDICI 数值模拟结果比较后, 模型得以验证.

**关键词:** 复合多晶硅栅; LDMOS; 阈值电压

**中图分类号:** TN386.1 **文献标识码:** A **文章编号:** 0372-2112 (2007) 05-0844-05

## Threshold Voltage Model of a Novel Dual Polysilicon Material Gate LDMOS Based on Two Dimensional Potential Distribution

DAI Yue-hua, GAO Shan, KE Dao-ming, CHEN Jun-ning

(Electronic Science and Technology Department, Anhui University, Hefei, Anhui 230039, China)

**Abstract:** A novel lateral double-diffused metal oxide semiconductor field effect transistor (LDMOSFET) structure, using an effective concept of dual Polysilicon material gate, is proposed. The conventional polysilicon gate applied in LDMOSFET is divided into S-gate and D-gate by gate engineering. The special gate structure can improve driveability, suppress SCEs (short channel effects) and screen DIBL (drain-induced barrier lowering). The threshold voltage model is solved by two dimensional (2D) Poisson's equation. The difference of workfunction and doping concentration distribution are also taken into account in the surface potential function. The results predicted by the model are compared with those obtained by 2D simulating to verify the accuracy of the proposed analytical model.

**Key words:** dual polysilicon material gate; LDMOS; threshold voltage

### 1 引言

LDMOS (Lateral Double - diffused MOS) 是横向双扩散 MOS 晶体管的简称, LDMOS 与双极器件相比较, 具有耐高压、线性动态范围大、温度特性好、工艺简单等优点, 成为第三代通信系统基站和手机中功率放大器的首选器件.

随着器件工艺技术的不断发展, MOS 器件尺寸向深亚微米领域推进. 然而随着沟道长度的缩小, 源和漏分享电荷增多, 栅对耗尽层控制减弱. 因此很多研究工作围绕着在栅长度不断下降的情况下, 如何减小短沟道效应 SCEs, DIBL 以及热载流子效应等问题展开. 一些研究者提出了漏工程的概念<sup>[1]</sup>, 例如 LDD (lightly doped drain), 可以降低近漏端的电场, 减小热载流子. 另一些

研究人员把目光落在栅工程上, 增强栅对沟道的控制, 达到降低漏端峰值电场, 提高载流子的传输效率的目的. 文献[2]使用一种 SG (split-gate), 即沿着沟道方向施加不同的栅偏置电压, 以达到加速载流子和控制漏端电场的目的. 但是两块金属栅之间的边缘电容会导致器件性能的退化. 为了解决上述的问题, 一种新的栅结构 DMG (dual material gate)<sup>[3,5]</sup> 利用了两种金属栅的不同功函数来控制沟道表面的电势和电场分布. 将两个金属栅之间的距离减小至零, 以消除边缘电容的影响, 从而获得 HMG (hetero-material gate)<sup>[6]</sup> 结构. 本文中, 从工艺上易于实现的角度出发, 选择多晶硅栅材料代替金属栅.

随着器件沟道尺寸缩小, 垂直方向的电场影响不能象长沟道那样被忽略. 但是对于 LDMOS 来说, 由横向结深差形成的沟道区掺杂浓度存在梯度, 从而产生了不规

收稿日期: 2006-06-21; 修回日期: 2007-01-16

基金项目: 国家自然科学基金 (No. 60576066); 安徽省高等学校青年教师科研基金 (No. 2005kj1031)

则的下边界条件,给二维建模带来很大的困难.之前,对于单栅结构的 LDMOS 都是选取最大浓度处的阈值电压作为近似<sup>[7]</sup>.但是在短沟道复合栅 LDMOS 结构中,由于功函数差和掺杂浓度的共同作用,并考虑短沟道效应引起的二维电势分布,使得上面的近似不再精确.因此有必要对阈值电压这个至关重要的器件参数进行二维解析的建模.

## 2 复合多晶硅栅结构和建模

图 1 是复合多晶硅栅 LDMOS 剖面示意结构,靠近源端的栅,称为 S-gate,选用功函数较高的 p 型多晶硅材料,其长度设为  $L_p$ ,靠近漏端的栅延伸到漂移区上,形成场板,这部分栅选用功函数相对较低的 n 型多晶硅材料.这里只研究沟道区上覆盖的栅结构,定义从 S-gate 末端到场板开始位置的栅为 D-gate,其长度定义为  $L_n$ .整个沟道长度即  $L_{ch} = L_p + L_n$ .

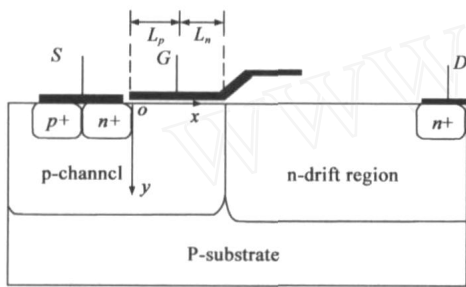


图 1 复合多晶硅栅 LDMOS 剖面结构

沟道是由源结和 p 阱结深的差形成的,只考虑横向浓度的分布,并且近似定义浓度分布函数为指数形式,如式(1)

$$N_A(x) = N_{A0} \exp\left[-\frac{x}{L_{ch}}\right] \quad (1)$$

其中  $N_{A0}$  是沟道区掺杂浓度的峰值,  $\frac{x}{L_{ch}}$  是浓度分布因子.假设忽略载流子对沟道静电场的影响,通过列写二维泊松方程求出二维沟道电势分布  $\phi(x, y)$ .在刚达到强反型时,可得

$$\frac{d^2 \phi(x, y)}{dx^2} + \frac{d^2 \phi(x, y)}{dy^2} = -\frac{q}{\epsilon_{si}} N_A(x) \quad (2)$$

式(2)中  $q$  表示电子电荷,  $\epsilon_{si}$  表示硅的介电常数.

通过仿真,用简单的抛物线势近似沿  $y$  方向的电势分布,表示为

$$\phi_p(x, y) = \phi_{ps}(x) + a_{p1}y + a_{p2}y^2, \quad 0 \leq x \leq L_p \quad (3a)$$

$$\phi_n(x, y) = \phi_{ns}(x) + a_{n1}y + a_{n2}y^2, \quad L_p \leq x \leq L_{ch} \quad (3b)$$

很明显,  $\phi_{ps}(x)$  和  $\phi_{ns}(x)$  是表面电势,  $a_{p1}$ 、 $a_{n1}$ 、 $a_{p2}$  和  $a_{n2}$  则是待定的参数. p 型多晶硅和 n 型多晶硅具有不同的功函数,因此沟道平带电压是分段的.设选用的 p 型多晶硅和 n 型多晶硅材料的功函数分别用  $\phi_{p2}$  和  $\phi_{n2}$  表示,若不考虑界面电荷的作用,则 S-gate 覆盖下的沟道平带

电压  $V_{FBp}$  和 D-gate 覆盖下的沟道平带电压  $V_{FBn}$  分别为

$$V_{FBp}(x) = \phi_{p1} - \phi_{si}(x), \quad 0 \leq x \leq L_p \quad (4a)$$

$$V_{FBn}(x) = \phi_{n1} - \phi_{si}(x), \quad L_p \leq x \leq L_{ch} \quad (4b)$$

其中半导体功函数可以写成

$$\phi_{si}(x) = \frac{E_g}{2q} + \phi_F(x)$$

半导体费米势  $\phi_F(x)$  是掺杂浓度的函数.对于掺杂不均匀的 LDMOS 来说,  $\phi_F(x)$  和沟道中各点的位置相关.考虑式(1),可以得到

$$\phi_F(x) = \frac{k_B T}{q} \ln\left[\frac{N_{A0}}{n_i}\right] - \frac{k_B T}{q} \frac{x}{L_{ch}} \quad (5)$$

随着沟道内横向位置变化的平带电压会极大增加方程求解的复杂度,因此对式(5)进行简化.若令  $\phi_F(x) = \frac{k_B T}{q} \frac{x}{L_{ch}}$ ,通过计算可发现掺杂浓度峰值在  $10^{17} \text{ cm}^{-3}$  的量级时,对应的  $\phi_F(x)$  的最大值仅约为  $\phi_{ps}(x)$  的 5%.因此忽略  $\phi_F(x)$ .

沟道区的边界条件如下:

(a) 纵向电场在 p 型多晶硅栅和 n 型多晶硅栅分别覆盖的 Si/SiO<sub>2</sub> 界面处满足

$$\left. \frac{d\phi_p(x, y)}{dy} \right|_{y=0} = \frac{-\alpha \phi_{ps}(x) - V_{GSp}}{\epsilon_{ox} d_{ox}}, \quad 0 \leq x \leq L_p \quad (6a)$$

$$\left. \frac{d\phi_n(x, y)}{dy} \right|_{y=0} = \frac{-\alpha \phi_{ns}(x) - V_{GSn}}{\epsilon_{ox} d_{ox}}, \quad L_p \leq x \leq L_{ch} \quad (6b)$$

上面式(7)中  $\alpha$  是栅氧化层的介电常数,  $d_{ox}$  是栅氧化层的厚度,  $V_{GS}$  是栅源电压,且有

$$V_{GSp} = V_{GS} - V_{FBp}, \quad 0 \leq x \leq L_p \quad (7a)$$

$$V_{GSn} = V_{GS} - V_{FBn}, \quad L_p \leq x \leq L_{ch} \quad (7b)$$

(b) 纵向电场在 p 型多晶硅栅和 n 型多晶硅栅分别覆盖的耗尽层边界处连续,且令半导体体内电场为零,则

$$\left. \frac{d\phi_p(x, y)}{dy} \right|_{y=W(x)} = 0, \quad 0 \leq x \leq L_p \quad (8a)$$

$$\left. \frac{d\phi_n(x, y)}{dy} \right|_{y=W(x)} = 0, \quad L_p \leq x \leq L_{ch} \quad (8b)$$

$W(x)$  就是沟道耗尽层宽度,考虑短沟道效应引入因子<sup>[9]</sup>,并且用平均有效耗尽层宽度将边界  $W(x)$  近似为常数  $W$ ,表达式如下

$$W = 2 \sqrt{\frac{2q\epsilon_{si}(2\phi_F + V_{SUB})}{qN_{A0}} \left[ \exp\left(\frac{V_{GS}}{2V_T}\right) - 1 \right]} \quad (9)$$

(c) 表面电势在两种不同类型多晶硅栅界面连续

$$\phi_p(L_p, 0) = \phi_n(L_p, 0) \quad (10)$$

(d) 电场在两种不同类型多晶硅栅界面连续

$$\left. \frac{d\phi_p(x, y)}{dx} \right|_{x=L_p} = \left. \frac{d\phi_n(x, y)}{dx} \right|_{x=L_p} \quad (11)$$

(e) 电势在源端满足的边界条件

$$\phi_p(0, 0) = V_{bi} \quad (12)$$

(f) 电势在漏端满足的边界条件

$$\phi_p(L_{ch}, 0) = V_{bi} + V_{DS} \quad (13)$$

$V_{bi}$ 是源和沟道形成的pn结的内建电压,  $V_{bi}$ 是漂移区和沟道形成的pn结的内建电压. LDMOS是不对称的结构, 因此这两个结的内建电压略有不同, 大约相差0.2到0.3V. 在图1中注意到沟道末端的电势, 并不等于外加的漏偏置  $V_{DS}$ , 因为漂移区上承受了电压降  $V_{drift}$ , 故有  $V_{DS} = V_{DS} - V_{drift}$ . 将边界条件式(6)~(13)带入泊松

$$C_1 = \frac{2(V_{ST} - )e^{2\sqrt{L_{ch}}} + V_{FB}(e^{2\sqrt{L_{ch}}} + e^{\sqrt{L_p}}) + 2V_{DT}e^{\sqrt{L_{ch}}} + (V_{GS} + 2)e^{\sqrt{L_{ch}}}}{2(1 - e^{L_{ch}})} \quad (15 a)$$

$$C_2 = \frac{2(V_{ST} - )e^{(2\sqrt{L_{ch}} + \sqrt{L_p})} - V_{FB}(e^{\sqrt{L_{ch}} + \sqrt{L_p}} + e^{L_{ch} + \sqrt{L_p}}) + 2V_{DT}e^{L_{ch} + 2\sqrt{L_{ch}} + \sqrt{L_p}} - 2e^{2\sqrt{L_{ch}} + \sqrt{L_p}}}{2(1 - e^{L_{ch}})} \quad (15 b)$$

这里令  $c_{ox} = \alpha/d_{ox}$ ,  $c_D = si/W$ .

为了简化, 式(14 a)和(14 b)引入了一些新的参数

$$= \frac{C_{ox}C_D}{2} - 2, \quad = \frac{q}{si}N_{A0}, \quad = \frac{C_{ox}C_D}{2}, \quad V_{DT} = V_{GS} - V_{FBn} -$$

$V_{DS} - V_i$ ,  $V_{ST} = V_{GS} - V_{FBp} - V_i$ ,  $V_{FB} = V_{FBp} - V_{FBn}$ .  $V_{ST}$ 和  $V_{DT}$ 是分别降落在源和漏端栅氧化层上的压降, 而  $V_{FB}$ 是沟道的平带电压差, 即双栅功函数差.

### 3 复合多晶硅 LDMOS 阈值电压模型

阈值电压  $V_{th}$ 是指在半导体表面产生导电沟道时栅源电压的大小, 以表面势达到二倍的费米势为临界点, 即  $\phi_{ps}(x)$ 和  $\phi_{ns}(x)$ 中的最小值达到  $2\phi_F(x)$ , 因此必须先找出表面势最小值. 组成双栅的材料中, p型多晶硅功函数比n型多晶硅功函数高, 所以最小值主要取决于功函数比较高的p型多晶硅栅. 将式(14 a)分为两个

部分, 前一部分  $\phi_{ps1}(x) = C_2 \exp\left[\frac{C_{ox}C_D}{2}x\right] + C_1 \exp\left[-\frac{C_{ox}C_D}{2}x\right]$  在  $0 \leq x \leq L_p$  范围内求得最小值为

$$\phi_{\min ps1} = \phi_{ps1}(x_{\min}) = 2\sqrt{C_2 C_1} \quad (16)$$

$$x_{\min} = -\frac{si \ln(C_2/C_1)}{2\sqrt{C_{ox}C_D}} \quad (17)$$

且在  $[x_{\min}, L_p]$  区间内  $\phi_{ps1}(x)$  是单调递增函数, 而在  $[0, x_{\min}]$  区间是单调递减函数. 式(14 a)中后一部分  $\phi_{ps2}(x)$  是单调递增的函数. 但是考虑到各项LDMOS的结构工艺参数取值范围,  $\phi_{ps2}(x)$  在  $[0, x_{\min}]$  区间上的变化量比  $\phi_{ps1}(x)$  变化量小,  $\phi_{ps}(x)$  在  $[0, x_{\min}]$  区间上基本维持递减的趋势, 因此  $\phi_{\min ps}$  可以近似作为LDMOS器件表面势最小值  $\phi_{\min ps}$ , 其值可以表示为

方程(2)中, 可以得到:

$$\phi_{ps}(x) = C_2 \exp\left[\frac{C_{ox}C_D}{2}x\right] + C_1 \exp\left[-\frac{C_{ox}C_D}{2}x\right] + V_{GSp} - \frac{qN_{A0}}{si \left[ \frac{C_{ox}C_D}{2} - \left(\frac{-}{L_{ch}}\right)^2 \right]} e^{-L_{ch}x} \quad (14 a)$$

$$\phi_{ns}(x) = C_3 \exp\left[\frac{C_{ox}C_D}{2}x\right] + C_4 \exp\left[-\frac{C_{ox}C_D}{2}x\right] + V_{GSn} - \frac{qN_{A0}}{si \left[ \frac{C_{ox}C_D}{2} - \left(\frac{-}{L_{ch}}\right)^2 \right]} e^{-L_{ch}x} \quad (14 b)$$

$$\phi_{\min ps} = \phi_{\min ps} = 2\sqrt{C_1 C_2} + V_{GSp} - \left\{ \frac{qN_{A0} e^{-L_{ch}x_{\min}}}{si \left[ \frac{C_{ox}C_D}{2} - \left(\frac{-}{L_{ch}}\right)^2 \right]} \right\}$$

因此可以计算出复合多晶硅栅LDMOSF的阈值电压表达式为

$$V_{th} = V_{FBp} + 2\phi_F - 2\sqrt{C_1 C_2} + qN_{A0} e^{-L_{ch}x_{\min}} \left\{ \frac{1}{si \left[ \frac{C_{ox}C_D}{2} - \left(\frac{-}{L_{ch}}\right)^2 \right]} \right\} \quad (18)$$

式(18)所描述的阈值电压一方面受到沟道掺杂梯度因子的约束, 另一方面双栅功函数差和双栅长度比的影响在  $x_{\min}$  和  $C_1, C_2$  中得到体现. 因此我们可以采用栅工程的概念更加方便的设计满足要求的LDMOS器件.

### 4 结果与验证

我们采用2D器件模拟软件MEDICI模拟LDMOS沟道电学特性. 典型的p型多晶硅栅和n型多晶硅栅的功函数分别选取5.25eV和4.17eV. 同时选取功函数为4.17eV的n型多晶硅单栅LDMOS作为比较, 首先对LDMOS的DIBL效应进行了数值模拟, 模拟结果见图2. 两者其他各项结构参数均保持相同. 以下各图中DG表

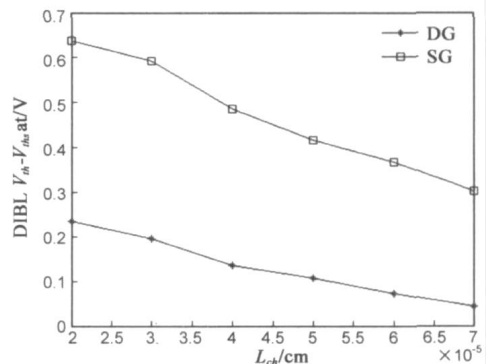


图2 复合多晶硅栅和单栅LDMOS的DIBL效应

示复合双栅结构,SG表示单栅结构.

当双栅长度比值保持不变 ( $L_p/L_n = 1$ ), 计算和模拟的 LDMOS 沟道表面势分布曲线如图 3 所示.

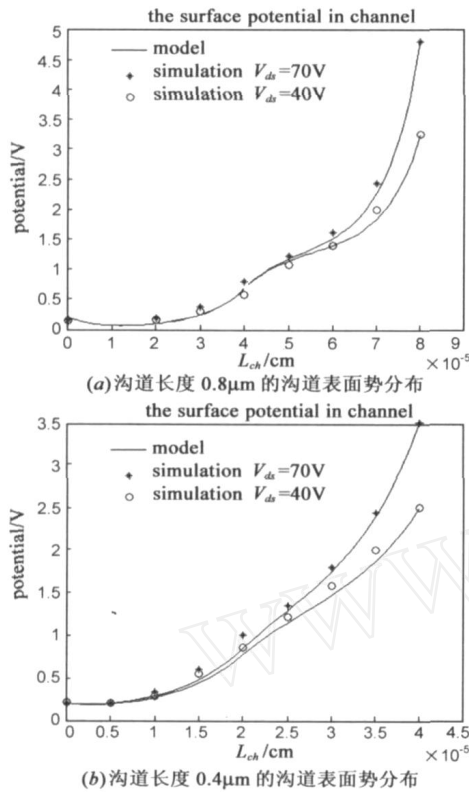


图 3

观察图 3, 可发现对于复合多晶硅栅 LDMOS, 即使沟道长度下降到亚微米量级,  $S_{-gate}$  所覆盖的沟道区表面电势随着漏源电压的改变无明显变化. 这可以解释为漏偏置电压的变化对  $S_{-gate}$  所覆盖的沟道区域的影响被屏蔽了, 结果漏源电压  $V_{DS}$  对饱和区漏电流的影响非常微小, 漏电导也相应减小. 此外,  $D_{-gate}$  的屏蔽作用还表现在表面势最小值点几乎不随着漏偏置的变化而变化. 因而明显地看出在复合多晶硅栅 LDMOS 中,  $DIBL$  效应的影响被减小了 (见图 2).

图 4 中, 在保持沟道总长度不变, 改变 ( $L_p/L_n$ ) 条件

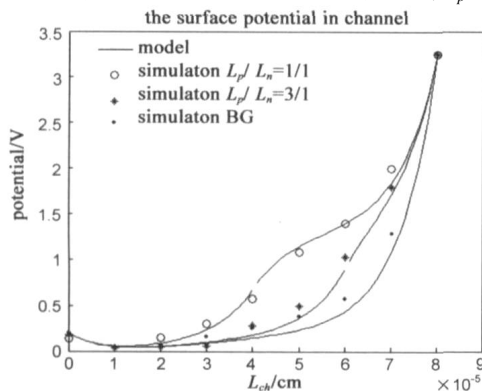


图 4 不同双栅长度比例下的表面势分布

下, 画出了沟道表面势的分布情况. 随着  $S_{-gate}$  长度  $L_p$  的减小, 最小沟道表面势的位置向源端移动. 另外还可以观察到沟道表面势最小值的大小也有变化, 这是由于  $L_p$  减小, 沟道内由功函数较高的栅控制的区域减小, 以及掺杂浓度梯度, 这两个因素共同作用的结果.

图 5 是在保持沟道长度  $0.8 \mu m$  不变, 改变 ( $L_p/L_n$ ) 条件下, 绘出的阈值电压的变化曲线. 同样可以观察到随着  $L_p$  的减小, 阈值电压开始缓慢减小; 当  $L_p$  小于  $0.5 \mu m$  以后, 阈值电压对  $L_p$  更加敏感, 随  $L_p$  减小而迅速降低, 取沟道长度为  $1 \mu m$  和  $1.2 \mu m$  也有类似的结论. MEDICI 提取阈值电压采用的是最大跨导法. 因此图 5 中计算结果与数值模拟结果趋势相同, 但是各点值始终相差在  $51 mV$  到  $78 mV$  之间, 这是由于建模时我们选择不同阈值电压的定义方法而导致的. 利用栅工程的概念, 通过调节栅长或者是选择适当的功函数, 可以达到更加方便的设计器件的目的.

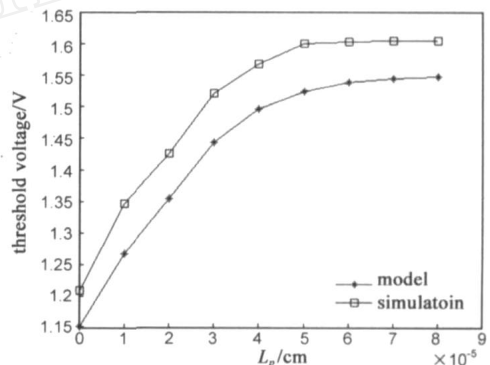


图 5  $S_{-gate}$  长度和阈值电压的关系

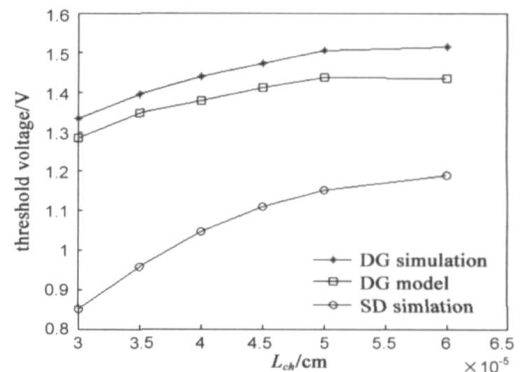


图 6 沟道长度和阈值电压的关系

图 6 是不同沟道长度下的复合多晶硅栅和单栅 LDMOS 阈值电压曲线. 这里的阈值电压计算结果与模拟结果也存在一定的差值, 原因与图 5 中相同. 图 6 反映出复合栅的阈值电压受到沟道长度减小的影响较小,  $SCEs$  受到一定的抑制, 小尺寸的特性优于单栅结构.

### 5 结论

本文将复合多晶硅栅与 LDMOS 相结合, 获得改进

的 LDMOS 器件结构. 这种结构在抑制小尺寸效应, DIBL 效应, 提高驱动电流等方面具有一定的优势. 同时本文建立了基于二维泊松方程的短沟道复合多晶硅栅 LDMOS 的阈值电压和表面势模型, 并将模型计算结果与数值模拟软件 MEDICI 的模拟数据相比较, 进行验证. 通过对各项数据曲线分析, 我们通过双栅长度比例, 功函数差的选取, 可以更为方便的设计出满足需要的 LDMOS.

#### 参考文献:

- [1] A Kumar, E Kalra, S Haldar, R S Gupta. A new analytical model to determine the drain-source series resistance of FOLD MOSFETs [J]. *Semicond Sci Technol*, 1999, 4(6): 489 - 495.
- [2] M Shur. Split-gate field-effect transistor [J]. *Appl Phys Lett*, 1999, 54(4): 162 - 164.
- [3] A Chaudhry, M J Kumar. Investigation of the novel attributes of a fully depleted dual-material gate SOI MOSFET [J]. *IEEE Trans ED*, 2004, 51(9): 1463 - 1467.
- [4] W Long, H Ou, J M Kuo, K K Chin. Dual material gate (DMG) field effect transistor [J]. *IEEE Trans ED*, 1999, 46(5): 865 - 870.
- [5] M J Kumar, A Chaudhry. Two-dimensional analytical modeling of fully depleted Dual-Material Gate (DMG) SOI MOSFET and evidence for diminished short-channel effects [J]. *IEEE Trans ED*, 2004, 51(4): 569 - 574.
- [6] Xing Zhou. Exploring the novel characteristics of hetero-material gate field-effect transistors (HMGFET's) with gate-material engineering [J]. *IEEE Trans ED*, 2000, 47(1): 113 - 120.
- [7] Yeong-Scuk Kim, Jerry G, Fossum, Richard K. Williams. New physical insights and models for high-voltage LDMOST IC CAD [J]. *IEEE Trans ED*, 38(6): 1641 - 1649.

#### 作者简介:



代月花 女, 1975 年 9 月出生, 现为安徽大学讲师, 在职博士, 主要研究方向为微电子和集成电路设计.



高珊 女, 1978 年 5 月出生, 现为安徽大学助教, 在职博士, 主要研究方向为微电子和集成电路设计.

E-mail: gaoshank @163. com